

(7) Japanese Patent Laid-Open Gazette No. 8-64824: "Thin Film Transistor and Manufacturing Method Thereof"

The present invention is characterized by having an active layer 2 formed on top of insulating substrate 1, two source drain region 7's which are shallow and of low concentration formed in active layer 2, source drain region 5 of high concentration formed in active layer 2 on the outside of source drain region 7, gate electrode 4 formed on top of active layer 2 between the source drain region 7's via gate insulating film 3, whereas the source drain region 7's and the active layer 2 below the source drain region 7's include p-type and n impurities, and also the conductivity type of active layer 2 below the source drain region 7's is the opposite of the source drain region 7 conductivity type.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-64824

(43) 公開日 平成8年(1996)3月8日

(51) Int.Cl.⁶

H 0 1 L 29/786

21/336

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H 0 1 L 29/ 78

6 1 6 A

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平6-199265

(22) 出願日 平成6年(1994)8月24日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中島 充雄

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 川久 慶人

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

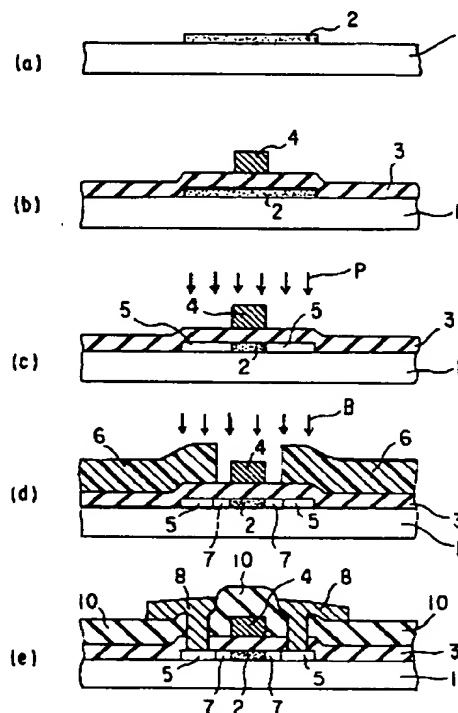
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 薄膜トランジスタおよびその製造方法

(57) 【要約】

【目的】従来よりも優れたLDD構造の薄膜トランジスタを提供すること。

【構成】絶縁性基板1上に設けられた活性層2と、活性層2に形成された二つの浅い低濃度のソース・ドレイン領域7と、ソース・ドレイン領域7の外側の活性層2に形成された高濃度のソース・ドレイン領域5と、ソース・ドレイン領域7間の活性層2の上部にゲート絶縁膜3を介して設けられたゲート電極4とを備えており、ソース・ドレイン領域7およびこの下部の活性層2は、p型およびn第不純物を含み、且つソース・ドレイン領域7の下部の活性層2の導電型は、ソース・ドレイン領域7のそれと逆であることを特徴とする。



【特許請求の範囲】

【請求項 1】絶縁性基板上に設けられた活性層と、前記活性層の表面に形成された二つの浅い低濃度のソース・ドレイン領域と、前記低濃度のソース・ドレイン領域の外側の前記活性層に形成され、前記絶縁性基板に達する高濃度のソース・ドレイン領域と、前記低濃度のソース・ドレイン領域間の前記活性層の上部または下部にゲート絶縁膜を介して設けられたゲート電極とを具備してなり、前記低濃度のソース・ドレイン領域は、第 1 導電型および第 2 導電型の不純物を含み、且つ前記低濃度のソース・ドレイン領域の下部で、前記絶縁性基板に達する前記活性層の導電型は、相対的に、前記低濃度のソース・ドレイン領域のそれと逆であることを特徴とする薄膜トランジスタ。

【請求項 2】絶縁性基板上に活性層を含む半導体層を形成する工程と、前記活性層上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極をマスクとして、深さ方向に不純物濃度が最大になるように、前記半導体層に第 1 導電型の不純物をイオン注入して、前記絶縁性基板に達する高濃度のソース・ドレイン領域を形成する工程と、不純物濃度が最大になる位置が前記第 1 の不純物のそれよりも深い位置になるように、ゲート電極側の前記高濃度のソース・ドレイン領域に第 2 導電型の不純物を選択的にイオン注入して、前記活性層の表面に浅い低濃度のソース・ドレイン領域を形成する工程とを有することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、LDD 構造を有する薄膜トランジスタ (TFT) およびその製造方法に関する。

【0002】

【従来の技術】アクティブマトリックス型液晶表示装置（以下、単に液晶表示装置という）は薄型・軽量であり、低電圧駆動が可能で、更にカラー化も容易である等の特徴を有しているので、近年、パーソナルコンピュータ、ワープロなどの表示装置として利用されている。

【0003】これらの中でも、画素部のスイッチング素子として TFT を用いた液晶表示装置は、表示品位が高く、消費電力が低いため、その研究・開発が盛んに行なわれている。

【0004】活性層の材料の観点から TFT を分類すると、大きく分けて、活性層の材料としてアモルファスシリコンを用いたアモルファスシリコン TFT と、活性層の材料としてポリシリコンを用いたポリシリコン TFT とがある。

【0005】ポリシリコン TFT は、アモルファスシリコン TFT よりも移動度が 10 から 100 倍程度高いという利点がある。このため、ポリシリコン TFT は画素スイッチング素子として最適なものである。

【0006】また、ポリシリコン TFT は、近年、周辺駆動回路の構成素子としても用いられるようになり、その結果、画素部の TFT と周辺駆動回路の TFT とを同一基板上に同時に形成するという、いわゆる、画素部・駆動回路部一体型の液晶表示装置の研究・開発が盛んに行なわれている。

【0007】しかしながら、ポリシリコン TFT は、アモルファスシリコン TFT よりも、OFF 電流 (TFT が OFF のときに流れてしまうリーク電流) が大きいという難点がある。周辺駆動回路に用いる場合には特に問題にならないが、画素スイッチングに用いた場合は、画質劣化するという問題が生じる。

【0008】そこで、上記不都合を解消するために、画素部に用いるポリシリコン TFT には、LDD 構造を採用することが考えられている。図 5 は、画素部のポリシリコン TFT として LDD 構造のものをを用いた画素部・周辺駆動回路一体型の液晶表示装置のアレイ基板の製造方法を示す工程断面図である。ここでは、周辺駆動回路の構成素子として CMOS トランジスタのみを示してある。また、ポリシリコン TFT の導電型は n 型である。

【0009】まず、図 5 (a) に示すように、透明絶縁性基板 81 上にポリシリコン膜を形成した後、このポリシリコン膜をバターニングして、活性層 82a~82c を形成する。次いで全面にゲート絶縁膜 83 を形成した後、このゲート絶縁膜 83 上にゲート電極 84a~84c を形成する。

【0010】次に図 5 (b) に示すように、周辺駆動回路部の CMOS 領域をレジスト 85 で覆った状態で、画素部の TFT 領域に比較的低ドーズ量の P のイオン注入を行なう。この結果、ゲート電極 84c に対して自己整合的に低濃度の n⁻ 型ソース・ドレイン領域 86c が形成される。

【0011】次に図 5 (c) に示すように、レジスト 85 を除去した後、周辺駆動回路部の CMOS 領域の p 型 TFT 領域、および画素部のゲート電極 84 およびその近傍の n⁻ 型ソース・ドレイン領域 86c をレジスト 87 で覆った状態で、比較的高ドーズ量の P のイオン注入を行なう。この結果、高濃度の n⁺ 型ソース・ドレイン領域 88a, 88c が形成される。

【0012】次に図 5 (d) に示すように、レジスト 87 を除去した後、周辺駆動回路部の CMOS 領域の n 型 TFT 領域、および画素部の TFT 領域をレジスト 89 で覆った状態で、駆動回路部の CMOS 領域の p 型 TFT 領域に比較的高ドーズ量のボロン (B) のイオン注入を行なう。この結果、高濃度の p⁺ 型ソース・ドレイン領域 88b が形成される。

【0013】最後に、図5(e)に示すように、レジスト89を除去した後、不純物の熱活性化、層間絶縁膜90の作成、ソース・ドレイン電極91の作成を順次行なって各TFTの基本構造が完成する。この後、画素電極(不図示)等を形成して、アレイ基板の基本構造が完成する。

【0014】しかしながら、このようなLDD構造を有するTFTには以下のような問題がある。すなわち、低濃度の n^- 型ソース・ドレイン領域86cが存在する分だけ、ソース・ドレイン領域が大きくなり、これにより、画素の開口率の向上が困難であるという問題があった。

【0015】また、上記の如きの製造方法には以下のような問題がある。画素部のTFTのLDD構造のソース・ドレイン領域と周辺駆動回路部のTFTの通常のソース・ドレイン領域を形成するために、図5(b)、図5(c)、図5(d)の各工程でフォトリソグラフィ工程およびイオン注入工程がそれぞれ1回必要となる。すなわち、フォトリソグラフィ工程が最低3回、イオン注入工程が最低3回必要となる。

【0016】したがって、リーク電流を防止するために、画素部のTFTにLDD構造を導入すると、LDD構造を持たない通常のTFTだけの場合に比べてプロセス数が増加したり、プロセスが複雑するので、歩留まりやスループットが低下するという新たな問題が生じる。

【0017】

【発明が解決しようとする課題】上述の如く、ポリシリコンTFTは、アモルファスシリコンTFTに比べて、移動度が大きい、リーク電流が大きい。そこで、リーク電流を抑制するためにLDD構造の採用が考えられている。

【0018】しかしながら、低濃度のソース・ドレイン領域が存在する分だけ、素子の微細化が妨げられ、開口率の向上が困難であるという問題がある。本発明は、上記事情を考慮してなされたもので、その目的とするところは、従来よりも優れたLDD構造を有する薄膜トランジスタおよびその製造方法を提供することにある。

【0019】

【課題を解決するための手段】上記の目的を達成するために、本発明の薄膜トランジスタは、絶縁性基板上に設けられた活性層と、前記活性層の表面に形成された二つの浅い低濃度のソース・ドレイン領域と、前記低濃度のソース・ドレイン領域の外側の前記活性層に形成され、前記絶縁性基板に達する高濃度のソース・ドレイン領域と、前記低濃度のソース・ドレイン領域間の前記活性層の上部または下部にゲート絶縁膜を介して設けられたゲート電極とを備えており、前記低濃度のソース・ドレイン領域は、第1導電型および第2導電型の不純物を含み、且つ前記低濃度のソース・ドレイン領域の下部で、前記絶縁性基板に達する前記活性層の導電型は、相対的

に、前記低濃度のソース・ドレイン領域のそれと逆であることを特徴とする。

【0020】本発明の薄膜トランジスタの製造方法は、絶縁性基板上に活性層を含む半導体層を形成する工程と、前記活性層上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極をマスクとして、深さ方向に不純物濃度が最大になるように、前記半導体層に第1導電型の不純物をイオン注入して、前記絶縁性基板に達する高濃度のソース・ドレイン領域を形成する工程と、不純物濃度が最大になる位置が前記第1の不純物のそれよりも深い位置になるように、ゲート電極側の前記高濃度のソース・ドレイン領域に第2導電型の不純物を選択的にイオン注入して、前記活性層の表面に浅い低濃度のソース・ドレイン領域を形成する工程とを備えたことを特徴とする。

【0021】

【作用】本発明によれば、低濃度のソース・ドレイン領域の下部の活性層(下部活性層)の導電型は、低濃度のソース・ドレイン領域のそれと逆であるので、下部活性層と低濃度のソース・ドレイン領域とにより寄生ダイオードが構成されることになる。同様に下部活性層と高濃度のソース・ドレイン領域とによっても寄生ダイオードが構成されている。

【0022】このような寄生ダイオードは抵抗成分として働くので、ソース・ドレイン領域間の電圧は、ソース・ドレイン電極間に印加する電圧よりも低いものとなる。このため、この電圧低下分だけ従来よりも低濃度のソース・ドレイン領域のサイズを小さくでき、これにより、素子全体のサイズを小さくできる。

【0023】したがって、本発明を液晶表示装置の画素部のスイッチング素子としての薄膜トランジスタに適用すれば、従来よりも微細な薄膜トランジスタを使用できることになるので、開口率を高くできるようになる。

【0024】また、本発明によれば、低濃度のソース・ドレイン領域が活性層の表面のみに形成されているため、従来のように、低濃度のソース・ドレイン領域が活性層の表面から裏面にかけての全体に形成されている場合に比べて、電流経路は全体として短くなるので、高速なスイッチング動作が可能となる。

【0025】

【実施例】以下、図面を参照しながら実施例を説明する。図1は、本発明の第1の実施例に係るコプラナ型TFTの製造方法を示す工程断面図である。

【0026】まず、図1(a)に示すように、絶縁性基板1上に活性層としての所定形状のポリシリコン膜2を形成する。絶縁性基板1としては、例えば、ガラス等の絶縁材料からなる基板や、表面が絶縁コートされた基板を用いる。

【0027】ポリシリコン膜2の膜厚は、例えば、50nmとする。ポリシリコン膜2の形成方法としては、例

例えば、アモルファスシリコン膜から固相成長により形成する方法や、プラズマCVD法、LPCVD法などによりアモルファスシリコン膜を形成した後、このアモルファスシリコン膜をレーザーアニールにより結晶化して形成する方法や、 SiH_4 、 SiF_4 、 H_2 などを原料ガスとしたプラズマCVD法によりポリシリコン膜を直接形成する方法がある。

【0028】次に図1(b)に示すように、全面にゲート絶縁膜3を形成した後、このゲート絶縁膜3上にゲート電極4を形成する。ゲート絶縁膜3としては、例えば、シリコン酸化膜やシリコン窒化膜を用い、その膜厚は、例えば、100nmとする。ゲート絶縁膜3の成膜法としては、例えば、CVD法、プラズマCVD、ECR-CVD法を用いる。また、ゲート絶縁膜3として、ポリシリコン膜を熱酸化したものを用いても良い。

【0029】ゲート電極4の厚さは、例えば、250nmとし、また、その材料としては、例えば、Al、W、Mo、Taなどの金属や、それらの合金またはシリサイド、もしくは不純物をドーブしたポリシリコン、もしくはアモルファスシリコンにレーザーアニールを施して形成したポリシリコンを用いても良い。

【0030】次に図1(c)に示すように、ゲート電極4をマスクとして、例えば、ドーズ量を $5 \times 10^{15} \text{cm}^{-2}$ とし、且つ図2に示すように不純物濃度プロファイルが深さ方向に最大不純物濃度を持つように、n型不純物としてのリン(P)をポリシリコン膜2にイオン注入して、二つの高濃度の n^+ 型ソース・ドレイン領域5を形成する。

【0031】ここで、ソース・ドレイン領域という表現を用いているが、これはソースとドレインとの区別が実際に使用しないと生じず、しかも、使用中にソースとドレインとが入れ替わることもあるからである。

【0032】次に図1(d)に示すように、ゲート電極4から離れた側の n^+ 型ソース・ドレイン領域5からその外側にまたがる領域上にレジスト6を形成した後、例えば、ドーズ量を $1 \times 10^{15} \text{cm}^{-2}$ とし、且つ図2に示すように不純物濃度プロファイルがPよりも深い位置に深さ方向に最大不純物濃度を持つように、p型不純物としてのボロン(B)をゲート電極4の近傍のソース・ドレイン領域5に選択的にイオン注入する。

【0033】この結果、図3に示すような浅い低濃度の n^- ソース・ドレイン領域7が表面に形成される。すなわち、ゲート電極4の近傍の n^+ 型ソース・ドレイン領域5の上部は、 n^- 型ソース・ドレイン領域7に変わり、一方、ゲート電極4の近傍の n^+ 型ソース・ドレイン領域5の底部は、p型不純物領域9に変わる。

【0034】次いでレジスト6を除去した後、レーザー光や電子線などのエネルギービームにより、不純物(P、B)の活性化(アニール)を行なう。エネルギービームによるアニールは短時間で終了するので、不純物

濃度プロファイルが変わるという問題は生じない。更に、コスト削減のために絶縁性基板1として安価なガラス基板を用いても、ガラス基板が熱ダメージを受けるといった問題もない。

【0035】次に図1(e)に示すように、全面に層間絶縁膜10を形成した後、 n^+ 型ソース・ドレイン領域5上のゲート絶縁膜3および層間絶縁膜10をエッチング除去して、 n^+ 型ソース・ドレイン領域5に対するコンタクトホールを開口する。最後に、全面に導電膜を形成した後、この導電膜をエッチングし、ソース・ドレイン電極8を形成して、コプラナ型TFTの基本構造が完成する。

【0036】本実施例によれば、 n^- 型ソース・ドレイン領域7の下部にp型不純物領域9が存在するので、 n^- 型ソース・ドレイン領域7とp型不純物領域9とにより寄生ダイオードが構成されることになる。同様に n^+ 型ソース・ドレイン領域5とp型不純物領域9によっても寄生ダイオードが構成されている。

【0037】このような寄生ダイオードは抵抗成分として働くので、ソース・ドレイン領域間の電圧は、ソース・ドレイン電極間に印加される電圧よりも低いものとなる。このため、この電圧低下分だけ従来よりも n^- 型ソース・ドレイン領域7のサイズを小さくで、これにより、素子全体のサイズを小さくできる。

【0038】したがって、本実施例のTFTを液晶表示装置の画素部のスイッチング素子として用いれば、従来よりも微細なTFTを使用できることになるので、開口率を高くできるようになる。

【0039】また、本実施例によれば、 n^- 型ソース・ドレイン領域7がポリシリコン膜2の表面のみに形成されているため、電流経路は主として表面部分のみになり、これにより、従来のように、 n^- 型ソース・ドレイン領域がポリシリコン膜の表面から裏面にかけての全体に形成されている場合に比べて、電流経路は全体として短くなるので、高速なスイッチング動作が可能となる。

【0040】図4は、本発明の第2の実施例に係る画素部・周辺駆動回路部一体型の液晶表示装置のアレイ基板の製造方法を示す工程断面図である。ここでは、周辺駆動回路の構成素子としてCMOSTランジスタのみを示してある。また、ポリシリコンTFTの導電型はn型である。

【0041】まず、図4(a)に示すように、透明絶縁性基板21上に活性層としての所定形状のポリシリコン膜22a~22cを形成する。ポリシリコン膜22a~22cの材料や形成方法や膜厚は先の実施例と同様である。

【0042】次に図4(b)に示すように、ゲート絶縁膜23を形成した後、このゲート絶縁膜23上にゲート電極24a~24cを形成する。ゲート電極24a~24cの材料や形成方法や膜厚は先の実施例と同様であ

る。

【0043】次に図4(c)に示すように、周辺駆動回路部のCMOS領域のp型TF T領域をレジスト25で覆った状態で、例えば、ドーズ量を $5 \times 10^{15} \text{ cm}^{-2}$ とし、且つ図2に示すように不純物濃度プロファイルが深さ方向に最大不純物濃度を持つように、n型不純物としての磷(P)をポリシリコン膜22a、22cにイオン注入して、n⁺型ソース・ドレイン領域26a、26cを形成する。

【0044】次に図4(d)に示すように、レジスト25を除去した後、周辺駆動回路部のCMOS領域のn型TF T領域、および画素部のゲート電極24cから離れた側のn⁺型ソース・ドレイン領域26cをレジスト27で覆った状態で、例えば、ドーズ量を $1 \times 10^{15} \text{ cm}^{-2}$ とし、且つ図2に示すように不純物濃度プロファイルがPよりも深い位置に深さ方向に最大不純物濃度を持つように、p型不純物としてのボロン(B)をポリシリコン膜22b、22cにイオン注入する。

【0045】この結果、周辺駆動回路部にはp型TF Tのp⁺型ソース・ドレイン領域26bが形成され、画素部にはn⁺型ソース・ドレイン領域26cが形成され、更に、その下に図3に示したのと同様のp型不純物層(不図示)が形成される。

【0046】次いでレジスト27を除去した後、レーザー光や電子線などのエネルギービームにより不純物(P、B)の活性化(アニール)を行なう。次に図4(e)に示すように、全面に層間絶縁膜28を形成した後、n⁺型ソース・ドレイン領域26a~26c上のゲート絶縁膜3および層間絶縁膜28をエッチング除去して、n⁺型ソース・ドレイン領域26a~26cに対するコンタクトホールを開口する。最後に、周知の方法によりソース・ドレイン電極29a~29cを形成した後、ITO等の材料からなる透明な画素電極30を形成してアレイ基板の基本構造が完成する。

【0047】本実施例でも先の実施例と同様な効果が得られるのは勿論のこと、更に、以下のような効果が得られる。すなわち、本実施例では、周辺駆動回路部のn⁺型ソース・ドレイン領域26aと画素部のn⁺型ソース・ドレイン領域26cとが同時に形成されるので、フォトリソグラフィ工程およびイオン注入工程の最小必要回数は従来の3回から2回に減少する。

【0048】したがって、本実施例によれば、リーク電流を防止するために、画素部のTF TにLDD構造を導

入しても、プロセス数の増加やプロセスの複雑化を抑制できるので、歩留まりおよびスループットの低下、ならびにコストの上昇を防止できるようになる。

【0049】なお、本発明は上述した実施例に限定されるものではない。例えば、上記実施例では、コプラナ型TF Tの場合について説明したが、本発明はスタガ型TF Tや、逆スタガ型TF Tにも適用できる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0050】

【発明の効果】以上詳述したように本発明によれば、低濃度のソース・ドレイン領域の下部の活性層(下部活性層)と低濃度のソース・ドレイン領域、および下部活性層と高濃度のソース・ドレイン領域とは抵抗成分として働く寄生ダイオードを構成するので、ソース・ドレイン領域間の電圧は、ソース・ドレイン電極間に印加される電圧よりも低いものとなる。したがって、この電圧低下分だけ従来よりも低濃度のソース・ドレイン領域のサイズを小さくできるので、素子全体のサイズを従来よりも小さくできる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るTF Tの製造方法を示す工程断面図

【図2】図1のTF Tのp型不純物(ボロン)およびn型不純物(磷)の不純物濃度プロファイルを示す図

【図3】図1のTF Tの一部を拡大して示す図。

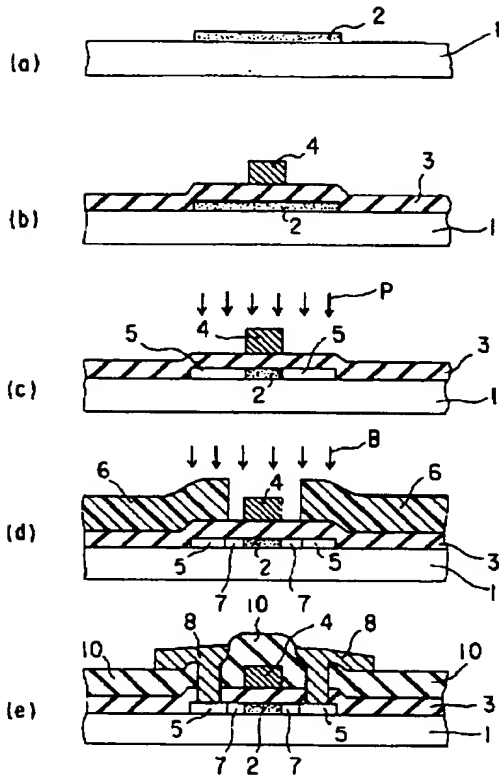
【図4】本発明の第2の実施例に係る画素部・周辺駆動回路部一体型の液晶表示装置のアレイ基板の製造方法を示す工程断面図

【図5】従来の画素部・周辺駆動回路部一体型の液晶表示装置のアレイ基板の製造方法を示す工程断面図

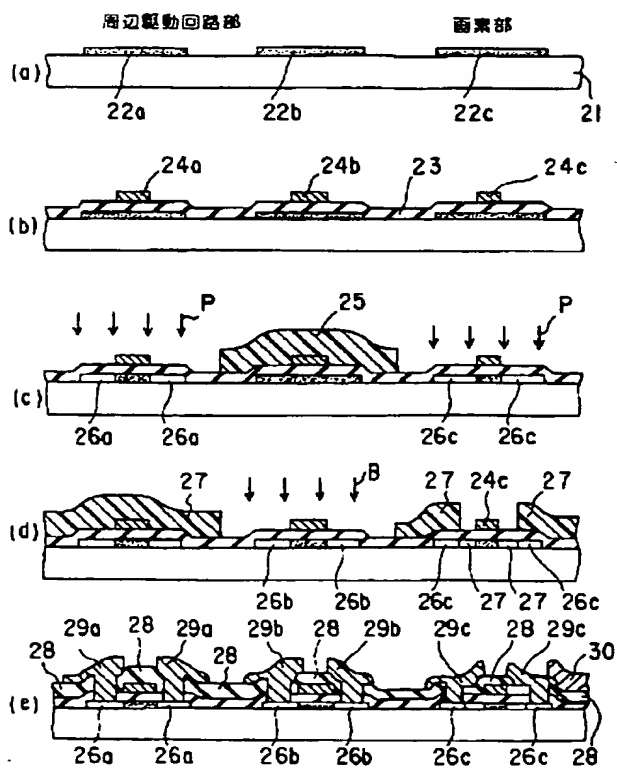
【符号の説明】

- 1…絶縁性基板
- 2…ポリシリコン膜(活性層)
- 3…ゲート絶縁膜
- 4…ゲート電極
- 5…高濃度のソース・ドレイン領域
- 6…レジスト
- 7…低濃度のソース・ドレイン領域
- 8…ソース・ドレイン電極
- 9…p型不純物領域
- 10…層間絶縁膜

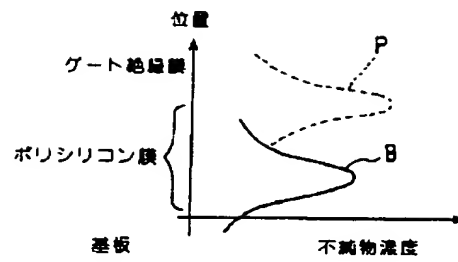
【図 1】



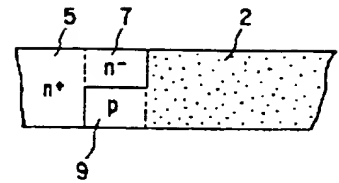
【図 4】



【図 2】



【図 3】



【図 5】

